

AD 変換器の回路構成と CMOS 回路技術

岩 田 穆

株式会社 エイアールテック

〒739-0005 東広島市西条大坪町 10-29-1205

E-mail: iwa@a-r-tec.jp, Tel: 082-424-7856

AD変換の原理として、逐次比較、並列比較、パイプライン、デルタシグマなど多くが考案され、信号周波数:DC~10GHz、分解能:3~24ビットの広い性能領域のAD変換器が実現されている。現在、情報、通信、センシング、制御など、あらゆるシステムに不可欠なものとなっている。AD変換技術の開発はデバイススケールとシステムデジタル化の進展と一体になって進んできた。CMOSの時代になって、高い変換性能を低電力、小面積で効率的に実現し、大規模デジタルチップへ搭載することが最大の課題となっている。各AD変換方式が、純アナログ回路の限界を破り、高速デジタル回路と融合することにより、進展している。近年、AD開発の初期に主流であった逐次比較技術に回帰して、研究が活発になっている。回路規模が小さく時間領域インターリーブ方式による高速化に適するので、高速通信システム用の高速AD変換器の低電力化を目指している。また、微細化デバイスに要求される精度、雑音の特性を緩和するために、デジタル技術によるアナログ特性の自動補正、時にバックグラウンド補正技術が重要である。

AD Conversion Principles and CMOS Circuit Techniques

Atsushi IWATA

A-R-Tec Corp.,

10-29-1205 Saijo-Ohtsubo-cho, Higashi-Hiroshima, 739-0005 Japan

E-mail: iwa@a-r-tec.jp, Phone: 082-424-7856

Many kinds of AD conversion schemes of Successive approximation, Flash, Pipelined, Delta Sigma, were proposed and integrated AD conversion devices with wide range of signal bandwidth: DC-10GHz and resolution: 3-20bits, have been developed. Currently ADCs become indispensable for all systems in information processing, communication, sensing, and control. AD conversion techniques have been developed with the progress of device scaling and digital systems. In the scaled CMOS era, development of high performance converters which have high efficiency in dissipation power and chip area, and be integrated to large scale logic chips, becomes the major subject. Recently, the traditional Successive Approximation AD conversion technique has been developed recursively, because the scheme is suitable to attain high speed combining with the time-domain interleave scheme, because of it features of low power dissipation and small size. To relax accuracy and noise of scaled devices, automatic digital error correction techniques, especially, background calibration which can eliminate variations due to process, voltage and temperature have also been intensively developed.

1. まえがき

1975年頃から通信や信号処理システムのデジタル化との集積化を両輪とする技術革新が進み、このために鍵となるAD変換器(ADC)は急速に進歩してきた。30年以上に渡り、急速に拡大する通信帯域や処理速度の要求に応じて、MOS微細化の特徴を活かすAD変換回路技術の研究が活発に続いている。集積AD変換器の黎明期から、研究開発に携わってきたので、AD変換には高

精度化、広帯域化、低電力化、低電圧動作化、小面積化など多くの性能のトレードオフを考え多彩な回路方式が提案され、実用化された。ここでは主なAD変換の原理とCMOS回路技術、実現できる変換性能について述べ、性能限界、ブレイクスルー技術、デバイスの微細化、低電圧化に対応して将来動向について述べる。

2. AD 変換方式と変換性能

変換方式はサンプリング周波数 (f_s) により、ナイキストサンプルとオーバーサンプルに大別でき、前者には逐次比較方式 (SA)、並列比較方式 (Flash)、パイプライン方式 (Pipe) があり、後者には $\Delta\Sigma$ 方式 (DS) がある。

AD 変換にはアナログ量をデジタルのビットに対応した基準量が必須である。多ビットナイキストサンプルと低ビットオーバーサンプルの原理的な比較を図 1 に示す。n ビットでは基準電圧から 2^n 個の基準を生成するために加重素子が必要になる。精度を上げるためには加重素子を大型にする、素子数を増やす、素子を物理的に調整するなどの方法が使われるが、チップ面積増やコスト増が問題となる。これを解決するために、小数の低精度の加重素子を用いて、デジタル補正で解決する技術が注目されている。

一方、1 ビット量子化では信号周波数の 100 倍程度の f_s が必要であるが、MOS デバイスの微細化で達成でき、1 個の基準で済み加重素子が不要であるので非線形性が発生しない。12 ビット以上の高分解能に適する。 f_s が高いので折り返し成分も高い周波数に発生する。

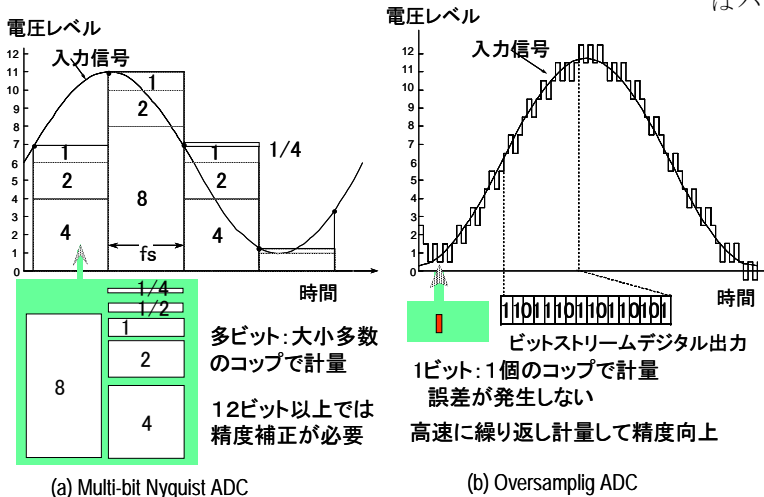


図 1 サンプリング周波数と基準量

入力と基準電圧との比較の手順と実現回路は変換速度、消費電力、回路規模を決める。

上位ビットから順に比較・判定する方式には SA 方式とサイクリック方式がある。各識別基準電圧を逐次発生し入力と比較するので、回路は簡単で低電力であるが、原理的に変換速度は遅い。

Pipe 方式も逐次比較であるが、時系列データに対してパイプライン並列動作する。回路規模はパイプライン段数に比例して増加するが、高速変換が可能である。Flash 方式は 2^n 個の基準電圧とコンパレータを同時に動作させ瞬時に比較し、AD 変換する。回路規模、消費電力は大きい原理的に最も高速な変換が可能である。Flash 方式にも比較、コード変換、エラー処理などにはパイプライン処理を用いて比較に要する時間のみに変換速度が決まるようにして高速化している。

オーバーサンプリング方式では DS 方式が 16 ビット以上の高分機能、高 SN の変換器の主流になっている。高速クロックで低ビットの判定を繰り返すという単純な動作である。多段量子化ノイズシェーピング方式 (MASH) はパイプライン処理と取り入れた DS である。

時間領域インタリーブ (TI) 方式は、m 個の単位 AD 変換器を m 相のクロックで動作させ、等価的に変換速度を m 倍にする方式であり、単位 AD 変換器には DS 以外の AD 変換方式が適用でき、TI-Flash, TI-SA がある。

集積化 ADC の開発の歴史を理解するために各方式の ISSCC での発表件数を図 2 に示す。また、各時代に提案された重要な技術の発表 (年、論文番号) も示す。70 年代 SA, 80 年代は Flash, 90 年代は DS, 2000 年代は Pipe と DS の開発が進み、現在は SA, TI が注目されている。

各方式の AD 変換器の開発例と、音声 PCM 通信、デジタルオーディオ、デジタル画像処理、携帯通信など応用分野を図 3 に示す。高精度、高速の極限性能はデジタル計測器応用が技術を先導した。また、センサネットにおける極限低電力化の要求が技術を先導している。センサ用のマイコン搭載 ADC は制御、家電、自動車など。あらゆるシステムに応用されている。

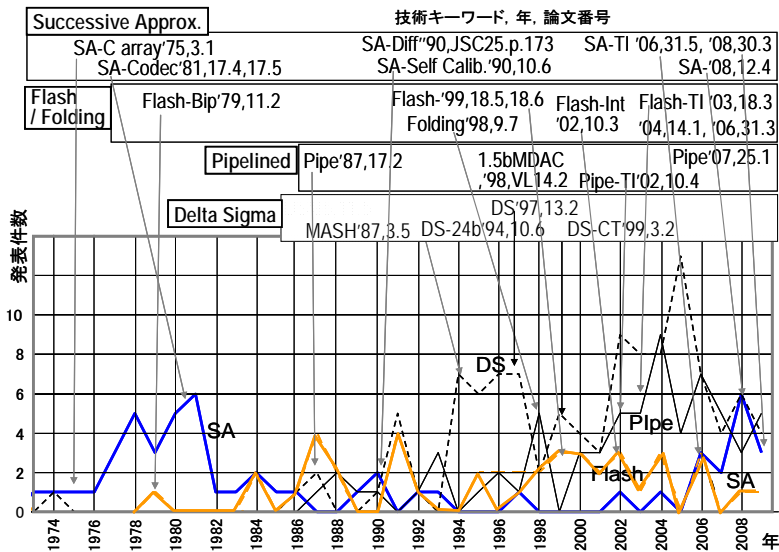


図 2 AD 変換技術の歴史 - 回帰する技術 -

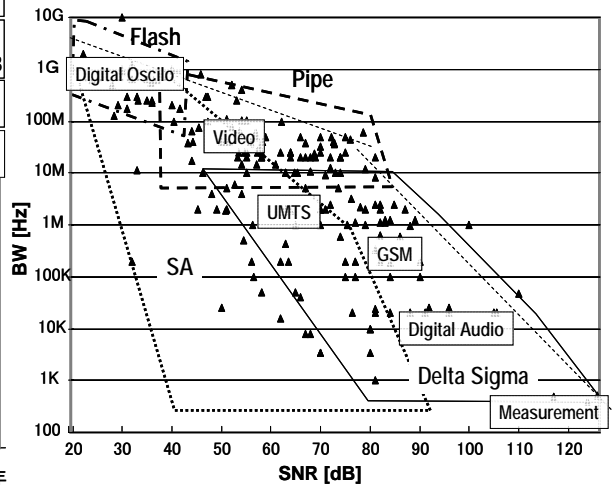


図 3 開発例と応用システム

3. 集積回路に適した逐次比較方式

SA(Successive Approximation)方式は、S/Hされたアナログ入力電圧と帰還DAC出力電圧を、1個のコンパレータ(Comp)で逐次的に比較して変換する、回路規模が少ない利点と引き替えに、ビット数に等しい回数の比較が必要であり、変換速度は比較的遅いことが欠点であった。

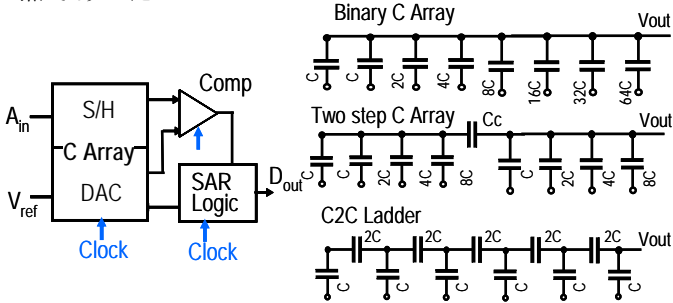


図4 SA方式AD変換器と容量アレイの構成

3.1. 帰還DACの荷重素子

2進荷重容量アレイとスイッチ(SW)による電荷再分布原理DA変換器が高精度であり、S/Hの保持容量も持つので主流となっている、精度は容量比(C ratio)で決まり、 2^n 個の単位容量を用い、このサイズを大きくすると精度が上がり、10ビットは実現できる。Cには高線形性が要求されるので2層ポリSi容量が用いられた。その後、多層配線の微細化に伴いMIM容量、MOM(配線間)容量と変遷している。回路的には、容量アレイの面積を削減できる2ステップ容量アレイ、C-2Cラダーが用いられる。単位容量C0、全容量CT、非線形NIを表1に示す。

表1 各種容量アレイの特性(分解能10bit)

| | C0(fF) | CT(fF) | σ (%) | Nlmax(%) | NL(LSB) |
|----------------------|--------|--------|--------------|----------|---------|
| Binary C Array | 50 | 51200 | 0.0070 | 0.022 | 0.224 |
| Split Binary C Array | 50 | 51200 | 0.0070 | 0.015 | 0.158 |
| Two step BC | 900 | 57600 | 0.0016 | 0.029 | 0.299 |
| C2C Ladder | 5000 | 150000 | 0.0007 | 0.049 | 0.507 |

3.2. 精度を高めるキャリブレーション

素子偏差補償のためにレーザなどによるトリミングはコスト的に不利であるので、セルフキャリブレーションが開発され、補正用DACなどのアナログ補正回路を用いて16ビット以上が達成された^[1]また、回路差動化により電源雑音、同相変動が抑圧できるようになった。

3.3. 消費電力の低減

電力消費の主要因であるコンパレータ(Comp)の低電力化が課題である。初期のCompに用いられたOPAの帰還動作でオフセット電圧(Voff)補償は消費電力が大きいので、ラッチ回路にプリアンプを前置してVoff補償により電力が削減された。さらに低減するには熱雑音による識別の不確定がネックになる。精度を落として電力を節約して、SAの比較を1回増やして、

Compの雑音による誤差をデジタル補正する方法が提案されている。^[2]

次にCアレイの充放電による電力消費の抑圧が必要である。電荷再分布動作における電荷移動時にSWのMOSに電流のジュール熱が原因である。この対策として、電荷移動量を減らす、断熱充電でジュール熱を減らす技術が提案されている。^[3]さらに逐次比較の論理回路の電力が問題になる。

現在、最も低電力なSA方式ADはサブスレッショルド動作CompとCアレイ断熱充電によるCアレイ電荷再分布など低電力化技術を駆使して、1.9 μ W、10ビット1MS/sを達成しており、FOM=4.4fJ/stepである。

4. 速度・帯域を極める並列比較方式

図5に示すように 2^b 個のCompのアレイを用いて1clockで1挙に量子化し、サーモメータ符号をエンコードして出力する。S/Hが不要であるのでOPA、SWなど線形回路を使わないでデジタル回路主体でA/D変換できる。Comp、エンコーダをパイプライン動作させて、fsをあげるが、クロックジッタによるComp動作の非理想性、compのしきい値、動作速度の偏差によるグリッチの抑圧が必要である。Flashから派生したフォールディング方式があり、アナログ前処理で入力信号レベルを折り返して並列比較に要する規模を抑圧方式である。

Flash方式の量子化器には、オフセット補償型インバータチョッパ型Compのアレイが、よく用いられる。容量補間(インタポレーション)技術でコンパレータの数を1/2~1/8に減らして低電力化が図られた。^[4]しかし、Voff補償のためのインバータ帰還時の電力が大きいので、差動ラッチコンパレータにプリアンプを前置することにより、感度向上と電力消費の少ないオフセット補償回路が開発された。多数のコンパレータが同時に動作するので、クロックが寄生容量を介して入力側に結合するキックバックが精度を劣化させる、プリアンプはこれを抑圧する効果もある。Flash方式では原理的にはS/Hが不要であるが、追加することにより各Compの動作タイミングの偏差を抑圧する方式もある。

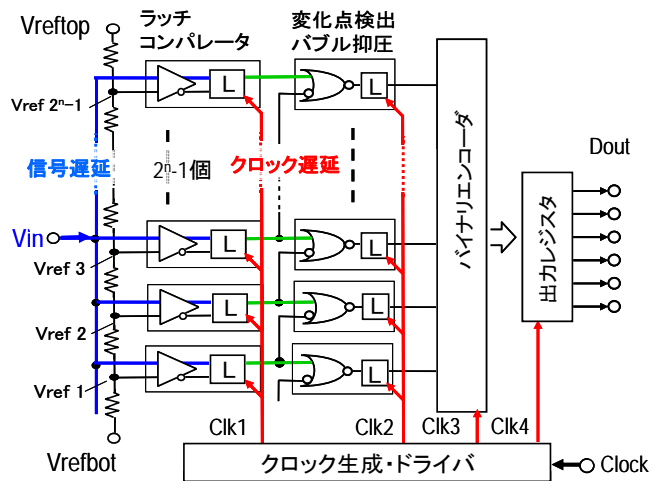


図5 Flash AD変換器のブロック図

5. 速度・精度を両立するパイプライン方式

低分解能 (1, 1.5b) の変換ステージ (MDAC) を継続接続し、上位ビットから決定し、変換誤差を増幅して次段に送る。各段の回路を順次次のデータで動作させるパイプライン並列動作させてスループットが向上できる。各 MDAC の機能は量子化, DAC, 減算, 増幅, ホールドと多いが、低ビットでよいので回路規模は小さい。図 6 に示すように、コンパレータ 2 個を用いた 1.5b の MDAC が主流である。^[5] これは判定レベル偏差が発生しても、冗長性により補正できる。OPA を共用して MDAC に S/H 機能を持たせる方法^[6]、図 7 に示すように初段 MDAC を 2bit 化して伝達特性の改良し、図 8 に示すように、入力レンジ拡大あるいは電源電圧低下を可能にした。^[7] ステージの回路性能の重み付けにより、容量の小型化、OPA の低電力化と要求特性の緩和が続いている。パイプライン方式の変換性能は 10bit, 100MS/s, あるいは 12bit, 50MS/s, であり、電源電圧 1V で、FOM=200fJ/step 程度に到達している。

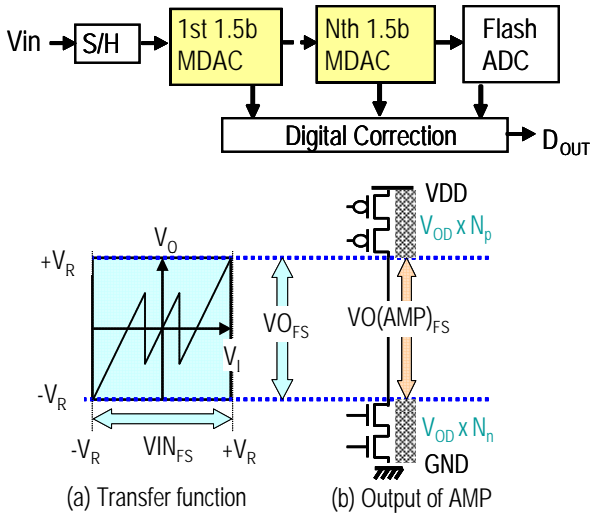


図 6 パイプライン AD 変換器のブロック図

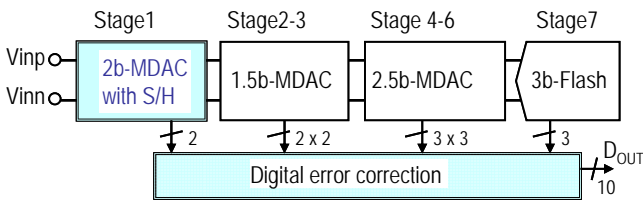


図 7 初段 2bMDAC パイプライン AD 変換器^[7]

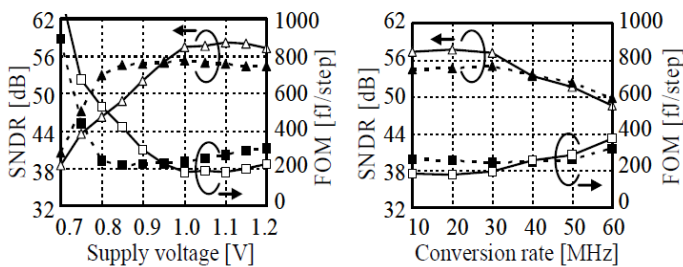


図 8 SNDR の電源電圧依存性, 変換速度依存性^[7]

6. 高分解能デルタシグマ方式

図 9 に示すように、オーバーサンプリング, ノイズシェーピング (NS) 技術により高精度を得る方式である。変換精度はオーバーサンプリング比 $OSR = f_s / 2 * BW$ で決まり、NS 次数 = k, 1bit 量子化の場合、 $SNR = -5.12 + 10(2k+1) \log(OSR)$ となり 1bit 量子化器と DAC でも $OSR=64, k=2$ で 90dB 以上の SNR が得られる。

6.1. 高 SN $\Delta \Sigma$ A/D 変換器

NS フィルタには SC 積分器が適しているが、SNR 向上には NS 次数が 3 次以上になると安定性の確保が必要になる。図 10 のように 1 次ループを継続接続して高次 NS を実現する Multi Stage Noise Shaping (MASH) が考案された。^[8] 高次 NS で 90dB 以上の SN が実現できるので、デジタルオーディオ用の主流方式となり、その後の $\Delta \Sigma$ に広く採用された。高精度の極限としては測定器用の 20-24bit が実用化された。

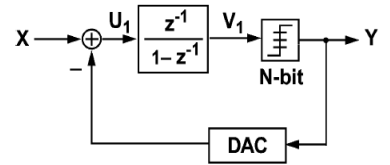


図 9 1 次 $\Delta \Sigma$ ブロック図

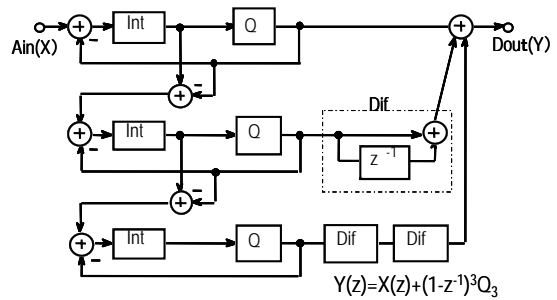


図 10 MASH ブロック図 (3 次)

6.2. 広帯域 $\Delta \Sigma$ A/D 変換器

デジタル通信には 100K~10MHz の帯域向上が要求される。SC 回路のセットリングでクロック周波数が 100MHz 以下に制限されるので、OSR が 10~20 程度と下がる。低 OSR でも高 SN を実現することが必要になったので、3~5bit のマルチビット量子化器、同 bit の帰還 DA、精度向上のための Dynamic Element Matching (DEM) 技術が開発された。^[9]

6.3. 低電圧動作 $\Delta \Sigma$ A/D 変換器

低電圧動作では積分器の出力振幅特性の緩和が要求され、図 11 に示す Feed Forward 型で振幅抑圧回路が提案された。この構成で積分器の出力には量子化雑音のみが現れる。この構成で $V_{dd}=1.2V$ で、 $f_s=40MS/s$, $SNDR=89dB$, $DR=96dB$ が実現されている。^[10]

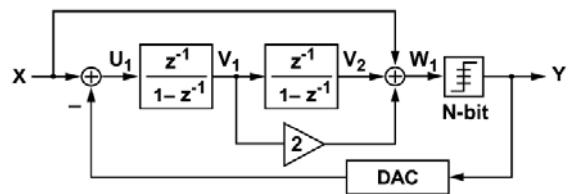


図 11 振幅抑圧回路 DS 方式 AD 変換器

6.4. 連続時間(CT) $\Delta \Sigma$ A/D 変換器

$f_S=100\text{MHz}$ 以上では SC フィルタ用の OPA のセットリング時間を 1/2 クロック周期以下にするには、消費電力が大幅に増加する。対策として連続時間(CT)の RC アクティブフィルタ(RCAF), gmC フィルタが使用できる。OTA は低電力化が可能であるが、無帰還積分器であり、帰還による精度改善ができず、寄生容量に影響されやすい。また、RC 時定数の偏差の補正が必要である。また、CT 型はクロックジッタに対する感度が高いという欠点がある。クロックエッジからの遅延時間が Excess Loop Delay (EDL) であり、主に量子化器と DAC の遅延時間が原因となる。ELD が大きいと動作の安定性が悪くなり SN 劣化や発振が起こる。^[11]

CT 型 $\Delta \Sigma$ ADC のブロックを図 12 に示す。3 次の Feed Back 型ループフィルタで初段は精度と DR が要求されるので、RCAF, 2, 3 段目には gmC を使い、時定数補正回路を搭載している。量子化器は 4bit でオフセット補正とトラッキング制御を搭載している。DAC は 4bit の電流出力型で、バックグラウンド精度補正を搭載している。シミュレーション設計値では、サンプリング周波数 300MHz, 帯域 10MHz, SNDR 70dB の性能が電源 1.2V, 消費電力 3mA が得られている。

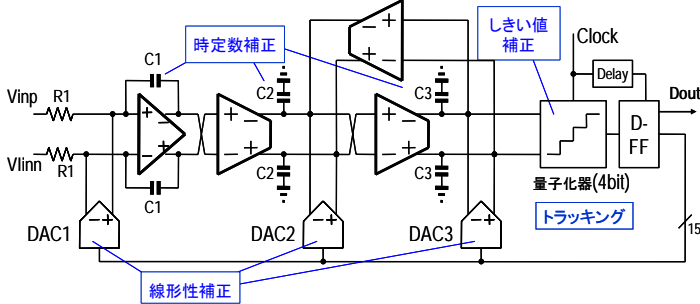


図 12 CT 型 $\Delta \Sigma$ ADC のブロック図

7. 時間インターリーブ(Time domain Interleave)

Flash 方式をインターリーブした TI-Flash が提案された。^[12] SA をベースにした TI-SA ($1\text{ fs}=24\text{GHz}$) が出現した。^[13] 最近の開発例は図 13 に示すように SA 方式 AD に小面積の C-2C ラダーを用い、16 相のインターリーブでゲインとオフセットのバックグラウンド補正用に 2 個の ADC を追加している。多層クロックのタイミングも補正している。45nmCMOS でチップ面積 1mm^2 , 電源 1.1V, 消費電力 50mW, 分解能 7bit, $f_s=2.5\text{GS/s}$ を達成している。^[14]

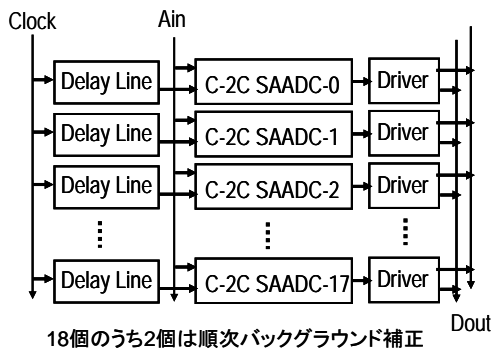


図 13 C-2C ラダーを用いた TI-SA 方式 AD 変換器^[14]

8. 時間情報を利用した AD 変換器

係数 AD 変換方式はアナログ電圧をパルス幅に変換してカウンタでデジタルに変換する方式であり、1970 年代からあった。時間情報は低電圧の論理回路で処理でき、高速化に伴って精度が上がるので、技術動向にそっている。ここではアナログとデジタルを融合する方式について述べる。

差分増幅器(DeltaAMP)とアナログ時間デジタル変換器(ATD)を図 14 に示す。DeltaAMP は前置した変調器により入力電圧の差分を変調増幅するので、電源電圧よりも大きい振幅を扱うことができる。deltaAMP の出力を 2 個のコンパレータでレベル検出して、そのタイミングで変調器を切り替えて信号を折り返す。このタイミングの時間情報をカウンタでデジタルに変換するものである。^[15]

90nmCMOS テストチップの実測値は電源電圧 0.5V. 入力信号 100kHz, 入力電圧 2.0Vpp で SNR62dB(信号帯域 120kHz)を得、消費電力は $150\mu\text{W}$ (DeltaAMP: $120\mu\text{W}$, ATC: $30\mu\text{W}$) である。

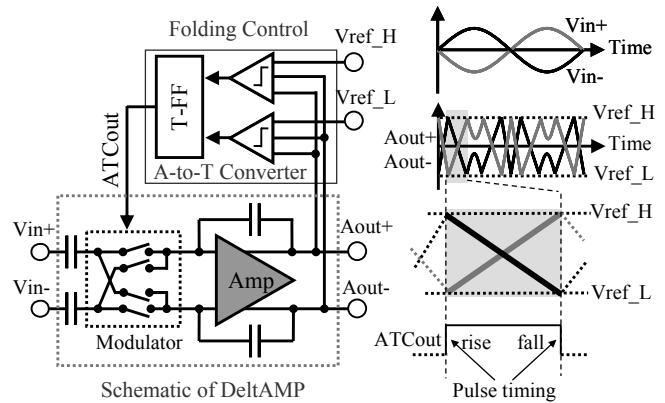


図 14 DeltAM を用いたアナログ時間デジタル変換器(ATD)

9. デジタルアシスト技術

CMOS 技術の進歩により、論理回路やメモリの面積が小さくなったので、アナログ荷重素子の偏差、アンプの利得やセットリングの不足を許容して、これをデジタル補正する技術が使われるようになった。小面積で高精度を得ることができる。^[16] 変動には製造偏差(P), 電源変動(V), 温度変動(T)によるものがある。バックグラウンド補正は常時補正しながら AD 変換する方法であり、これにより、PVT が補正できる。コンパレータ, DAC の精度補正によく用いられている。

最小サイズの MOS によりアナログ回路の速度・電力・面積を低減させ、精度や雑音の劣化をデジタル補正で補うことで、従来の回路設計に比べて、1 桁以上の低電力化が達成された。最小 MOS サイズのコンパレータ設計例を図 15 に示す。^[17]

この補正は処理機能と一体化し、アナログ処理とデジタル処理を融合させて実現するのが効果的である。

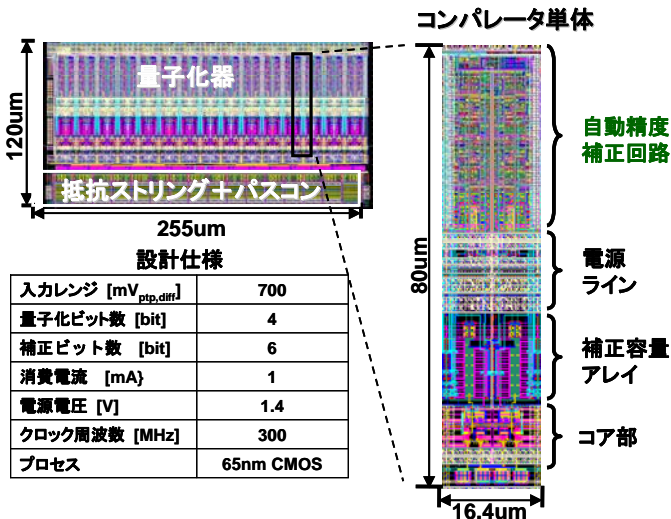


図 15 最小 MOS とデジタル補正を用いた量子化器

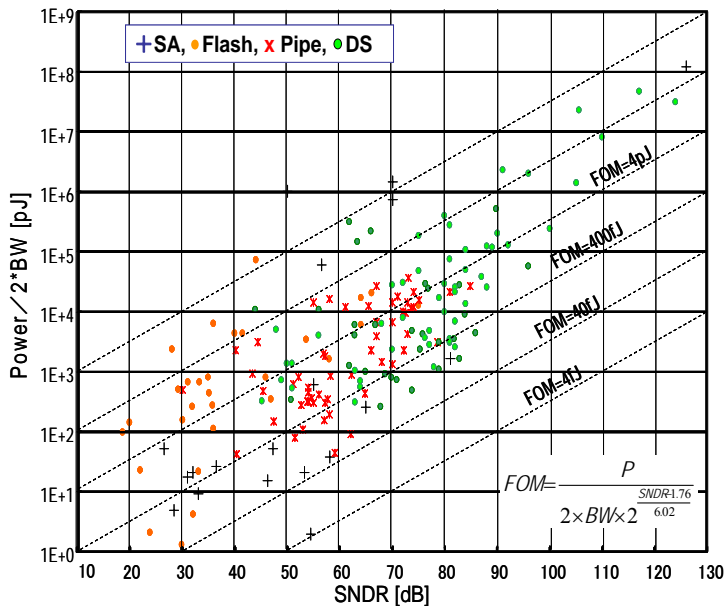


図 16. ADC の先端性能 (FOM の評価)

10. まとめ

将来 ADC の回路研究はデバイス微細化にともない、変換効率 FOM を尺度として各方式がしのぎを削っている。図 18 に FOM で評価した ADC の先端性能を示す。デバイスの微細化に伴って SA 方式への回帰な変換原理の融合、アンプレス低電力技術、デジタル補正などの回路技術も進歩している。

謝辞 ADC の研究開発に協働いただきました大学および企業のアナログ回路設計者の皆様に深く感謝いたします。

参考文献

- [1] G. Miller, et. al., An 16b 10us self-calibrating ADC, ISSCC, pp. 168-169, 1990.
- [2] V. Giannini, et.al., An 820μW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS,

ISSCC, pp.238-239, 2008.

- [3] M. Elzakkar, et.al., A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC, ISSCC, pp.244-245, 2008.
- [4] K. Kusumoto et. al., A 10-b 20-MHz 30-mW Interpolating CMOS Pipelined ADC, JSSC, Vol.28, No.12, pp.1200-1206, 1993.
- [5] A. M. Abo and P. R. Gray, A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter, JSSC, Vol.34, No. 5, pp. 1999.
- [6] M. Yoshioka, M. Kudo, K. Gotoh and Y. Watanabe, A 10b 125MS/s 40mW Pipelined ADC in 0.18μm CMOS, ISSCC. #15.4, 2005.
- [7] K.Gotoh, H.Ando, A. Iwata, A 10-b 30-MS/s 3.4-mW Pipelined ADC with 2.0-V_{pp} Full-swing Input at a 1.0-V Supply, ASSCC, pp. 57-60, 2008.
- [8] Y. Matsuya, et. al., A 16-bit Oversampling Triple Integration Noise Shaping, JSSC, Vol. 22, No. 8, pp. 921-929, 1987.
- [9] K. Vleugels, et. al., A 2.5-V Sigma-Delta Modulator for Broadband Communications Applications, JSSC, Vol. 36, No. 12, pp.1887-1898, 2001.
- [10] K.Y. Nam et. al., A Low-Voltage Low-Power Sigma-Delta Modulator for Broadband Analog-to-Digital Conversion, JSSC, Vol.40, No.9, pp. 1855-1864, 2005.
- [11] S. Yan, E. Sanchez-Sinencio, A continuous-Time ΣΔ modulator with 88 dB dynamic range and 1.1MHz signal bandwidth, ISSCC, pp.62-63, Feb. 2003.
- [12] Xicheng Jiang, et. al., A 2GS/s 6b ADC in 0.18μm CMOS, ISSCC, #18.3, 2003.
- [13] P. Schvan, et. al. A 24GS/s 6b ADC in 90nm CMOS, ISSCC, #20.3, 2008.
- [14] E. Alpman, et. al. A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP Digital CMOS, ISSCC, pp.76-77, 2009
- [15] Y. Masui, T. Yoshida and A. Iwata, A 2.0V_{pp} Input, 0.5V Supply Delta Amplifier with A-to-D Conversion, ASSCC, pp.265-268, 2008.
- [16] G. Van, et al., A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process, ISSCC, pp. 566-567, 2006.
- [17] 原田, 升井, 吉田, 岩田, デジタル精度補正回路を搭載した高速・低電力 CMOS 量子化器, 信学技報 ICD 2008.10