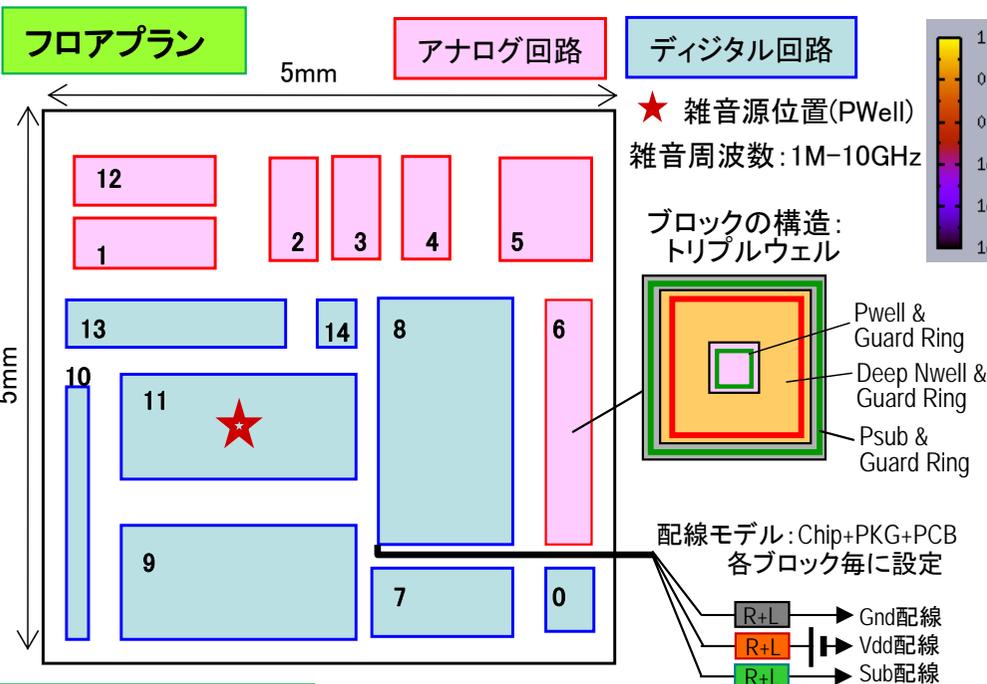


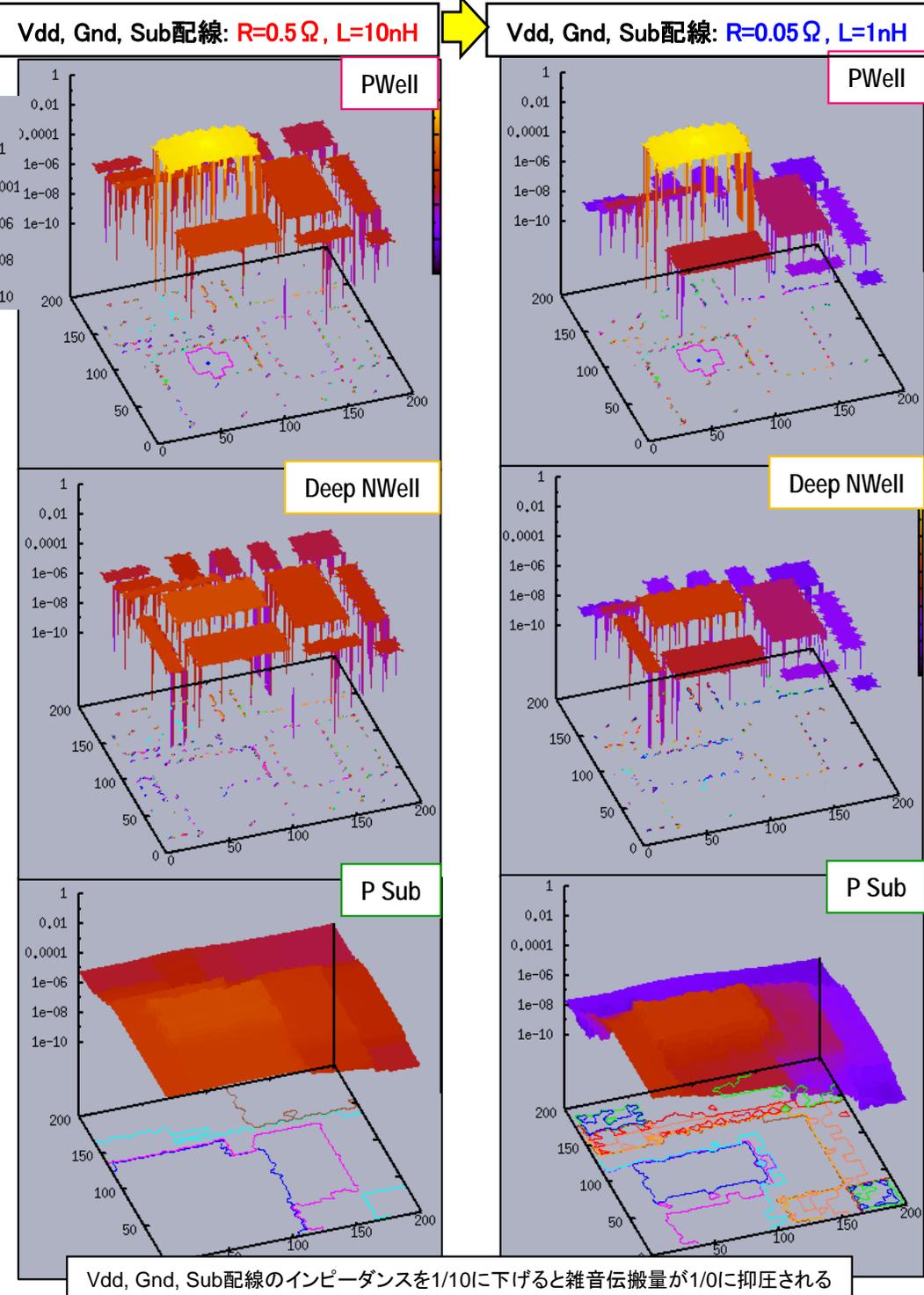
# EDS fair 2010 FPNAデモ概要(AC解析)

目的: アナ・デジ混載LSIのフロアプラン設計において、デジタル回路で発生する雑音アナログ回路へ伝搬する量の2次元分布を評価する

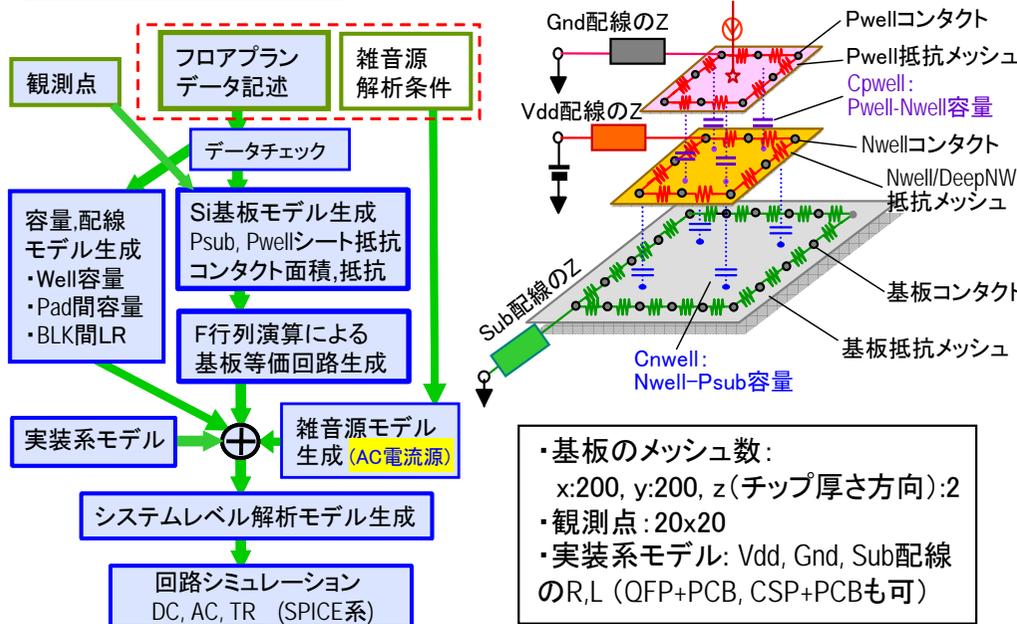


## 雑音伝搬量2次元マップ(AC解析)

$f_{noise}=1\text{GHz}$



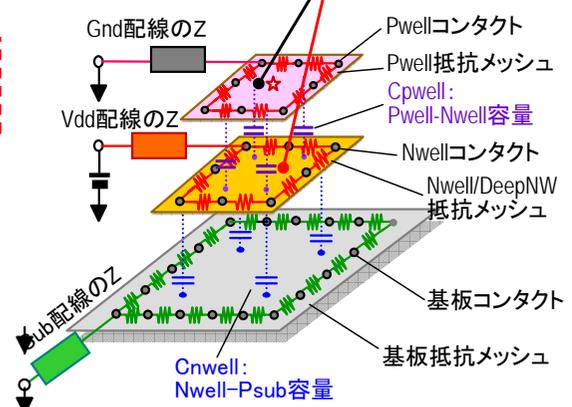
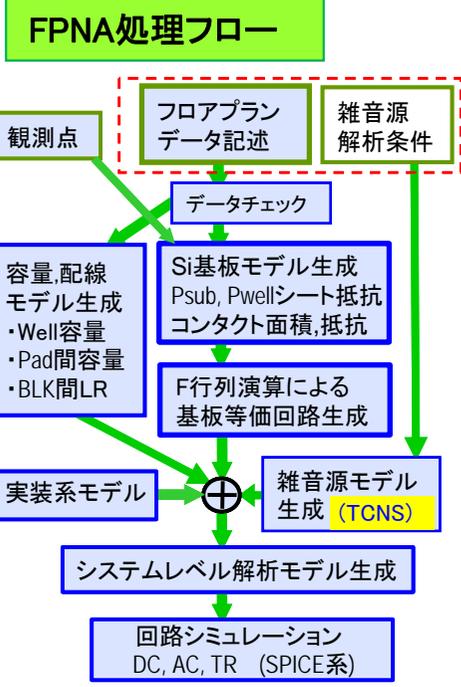
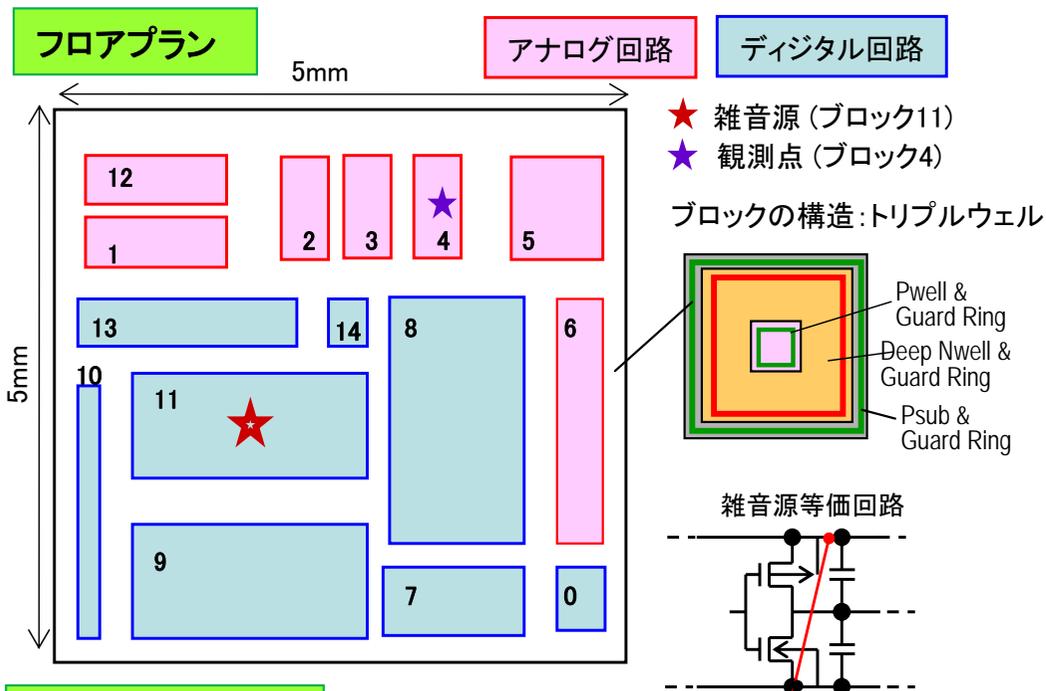
## FPNA処理フロー



# EDS fair 2010 FPNA デモ概要(TR解析)

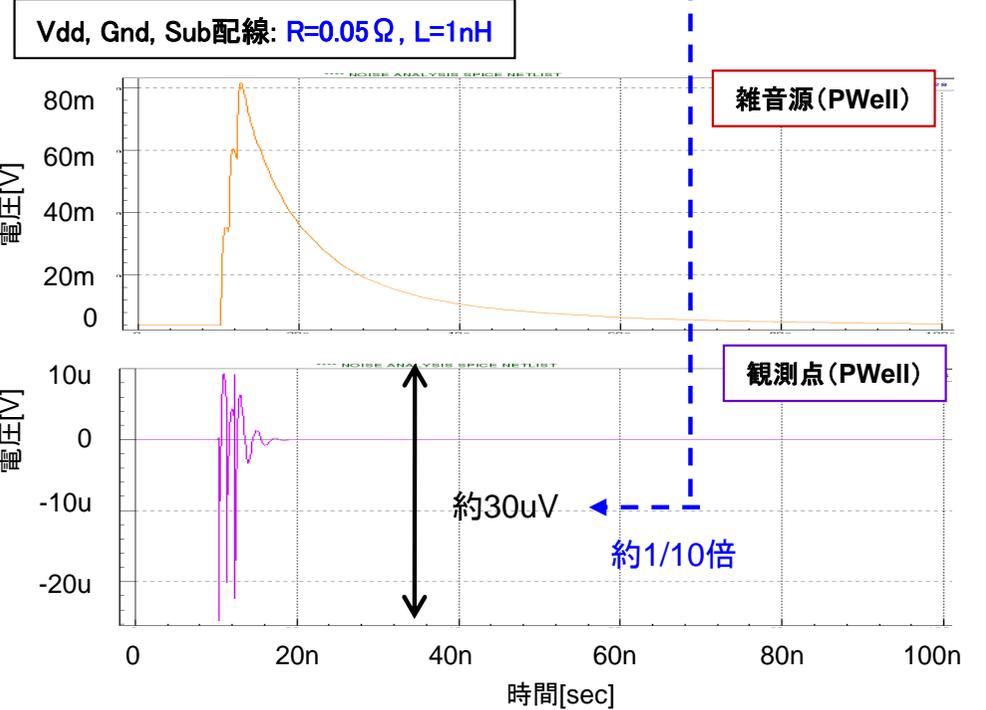
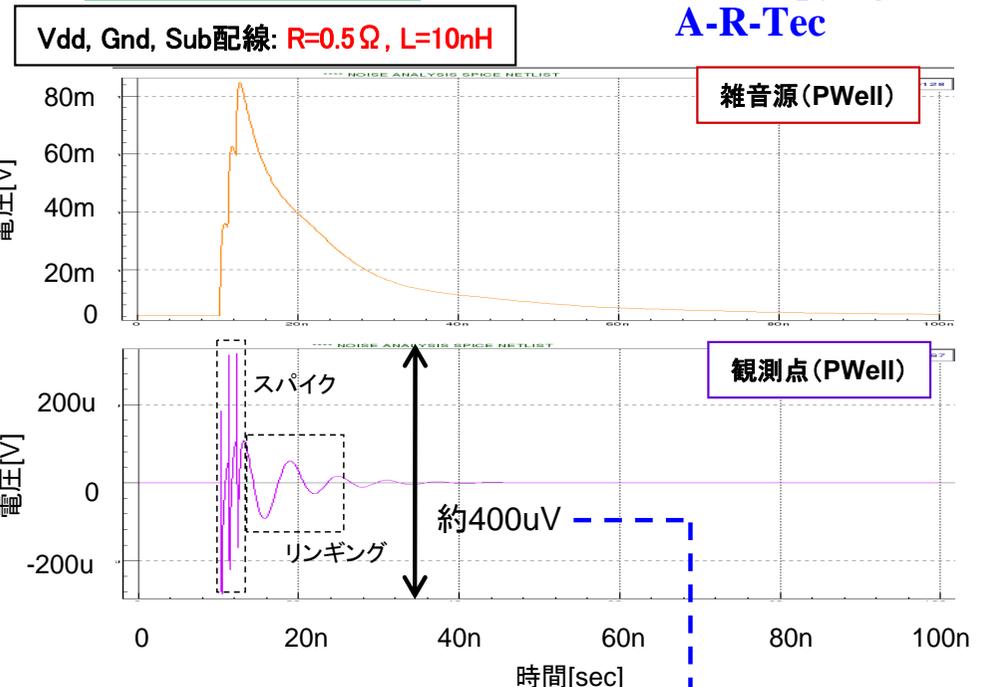
2010 copyright  
A-R-Tec

目的: アナ・デジ混載LSIのフロアプラン設計において、デジタル回路で発生する雑音アナログ回路へ伝搬する波形を評価する



- ・基板のメッシュ数: x:200, y:200, z(チップ厚さ方向):2
- ・観測点: 20x20
- ・実装系モデル: Vdd, Gnd, Sub配線のR,L (QFP+PCB, CSP+PCBも可)

## 雑音波形 (TR解析)



観測点(Pwell)に、 $R_i$ によるスパイクおよび $Ldi/dt$ によるリングングが発生。  
Vdd, Gnd, Sub配線のインピーダンスを1/10にすることによって、約1/10に低減。