

アナ・デジ混載LSIにおいて、論理回路の動作により発生する雑音がSi基板を通して伝搬してクロストーク雑音としてアナログ回路性能を劣化させます。この雑音を精度良く解析し、性能を劣化させない設計技術が重要です。

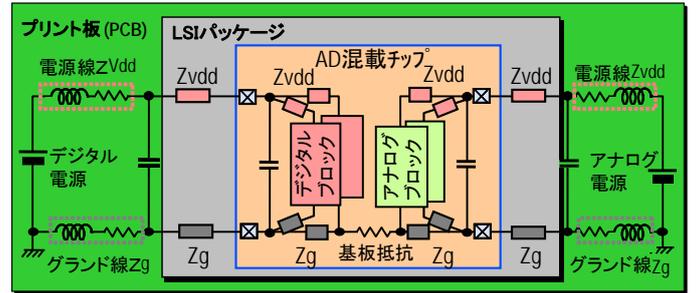
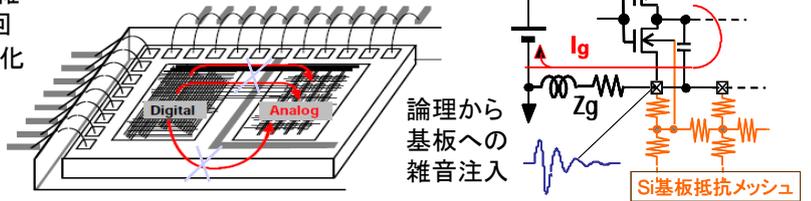
A-R-Tecでは、フロアプラン(含む実装系)でアナログ・RF混載LSIの基板・グランド雑音を解析できるツール

FPNA (Floor Plan Noise Analysis)を開発しました。

- フロアプランでチップ/実装系の基板、電源雑音解析を実現
- ・ブロックの属性記述ノウハウを組み込んだフロアプラン記述
 - ・Fマトリクス演算でノード数を(1/100)削減する技術
 - ・論理回路の雑音源モデル:容量充放電モデル(TSDPC)

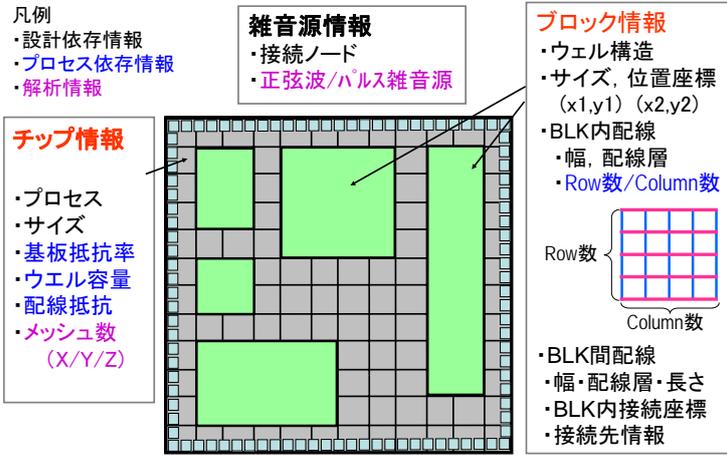
製品・サービスの形態はツール販売・サポート、解析業務受託、解析モデル(ネットリスト)作成です。
GDSベースの雑音解析モデル作成、解析業務も受託します。

クロストーク雑音



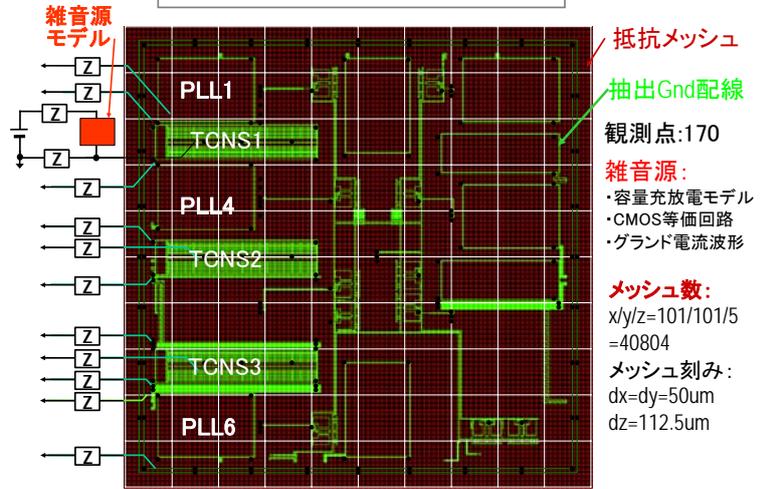
FPNA (Floor Plan Noise Analysis)

モデル化のためのフロアプラン情報

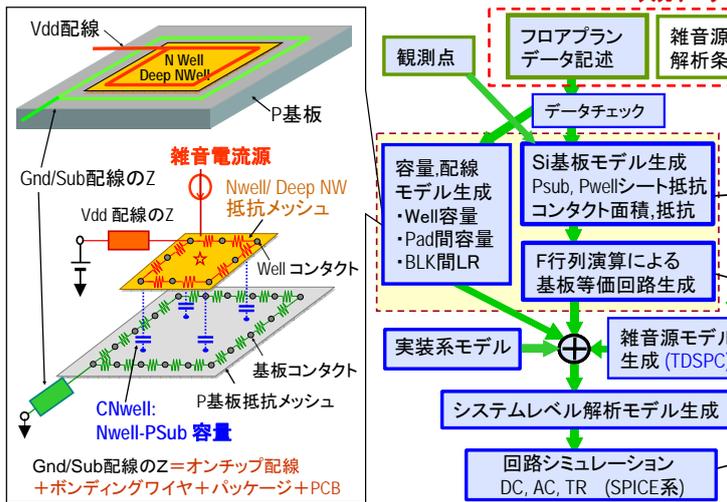


GDSNA (GDS based Noise Analysis)

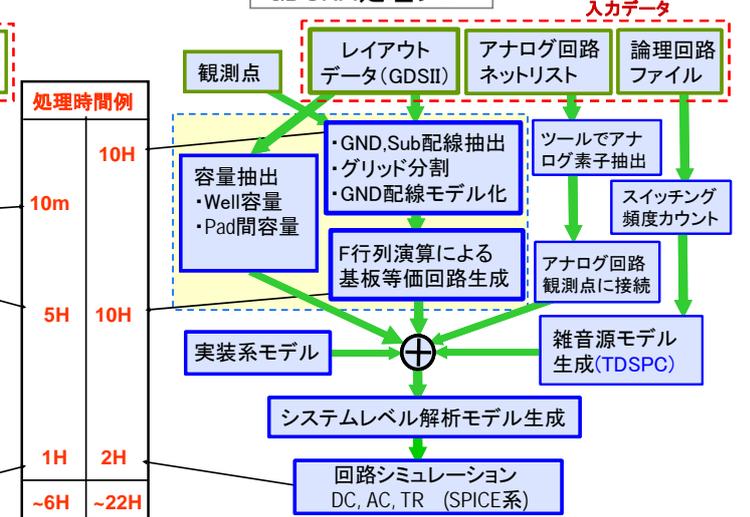
グランド配線抽出とモデル化例



FPNA処理フロー



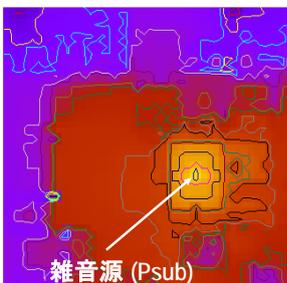
GDSNA処理フロー



FPNA

チップ概要
AD混載CMOS
チップ: 5x5mm
BLK数: ~50
アナログ回路:
ADC, PLL,
LNA, Mix

雑音伝搬マップ解析例

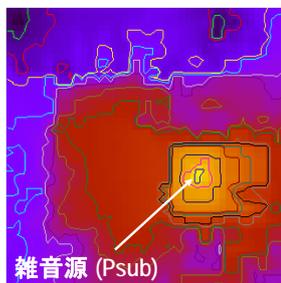


利点:

- ・設計初期のFP(含実装)レベルで基板雑音解析, 性能を評価
 - ・解析時間が短い(例6時間)
 - ・GDS解析不要でモデル生成容易.
- 欠点:**
- ・ブロックの記述にノウハウが必要
- 用途:**
- ・複数FP候補の評価・選択
 - ・雑音対策の評価

GDSNA

雑音伝搬マップ解析例



利点:

- ・チップ試作前にレイアウトの寄生効果を考慮して高精度に雑音を解析
- 欠点:**
- ・解析時間が長い(例22時間)
 - ・GDS検証ツールでレイヤ抽出配線抽出が必要
- 用途:**
- ・高精度バックアノテーション
 - ・測定結果の解釈と対策
 - ・雑音対策の評価