



A-R-Tec

Analog & RF Technologies

株式会社エイアールテック

会社案内

住所： 本社・広島デザインセンター
〒739-0024 広島県東広島市西条町御園宇4781-4
TEL/FAX：082-421-4222

URL: <https://www.a-r-tec.jp/>
e-mail: info@a-r-tec.jp

2001年4月に大学発ベンチャーとして設立

社名	株式会社エイアールテック
設立	2001年4月3日
資本金	1,000万円
代表取締役社長	今村 俊文
顧問	岩田 穆 (広島大学名誉教授)
顧問	杉本 泰博 (中央大学名誉教授)
技術顧問	永田 真 (神戸大学教授)
本社 広島デザインセンター	〒739-0024 広島県東広島市西条町御園宇4781-4 TEL/FAX : 082-421-4222
社員	常勤 : 4名
共同研究大学	広島大学, 大阪大学
業務提携企業	アールエフ・チップス・テクノロジー (株) シリコンソーシアム (株) エムエス電子 (株)

アナログ回路設計が得意な会社です。

納入実績:

パナソニック(株)、三菱プレシジョン(株)、
ルネサス エレクトロニクス(株)、(株)東芝、
富士通(株)、オー・エイチ・ティー(株)、
情報通信研究機構(NICT)、
理化学研究所、
高エネルギー加速器研究機構(KEK)、
広島大学、北海道大学、大阪大学、
京都大学
(敬称略・順不同)

弊社はADC、DACを中心とした種々の高精度/低消費電力のアナログ回路設計を得意としております。

お客様のご要望に応じて基本マクロをベースにカスタム設計します。

ADC開発例



- ・ $\Delta \Sigma$ 型ADC – 高分解能, 高精度, 高SNR
 - 性能例1 BW:20kHz, fs:10MHz, SNR:80dB, 消費電力:15mW, 制御向け
 - 性能例2 BW:20kHz, fs:2MHz, SNR:95dB, 消費電力:0.6mW, 携帯機器向け
 - 性能例3 BW:100MHz, fs:~5GHz, SNR:70dB, 無線通信(広帯域)向け
- ・ 逐次比較型ADC – 低電力, 高精度
 - 性能例1 分解能:14-bit, fs:128kHz, DNL:±0.5LSB以下, 消費電流:1mA
 - 性能例2 分解能:12-bit, fs:1MHz, DNL:±0.2LSB以下, 消費電流:1.6mA
- ・ 並列比較型(フラッシュ)ADC – 高速, 低分解能
- ・ パイプライン形ADC – 高精度, 高速
- ・ 計数型ADC – イメージセンサー用

DAC開発例



- ・ $\Delta \Sigma$ 型DAC

性能例1 BW:100kHz, 入力:16-bit, f_s : ~20MHz, SNR:90dB, MASH構成

性能例2 BW:10kHz, f_s :5MHz, SNR:120dB, ノイズフロア:60nV/rtHz (超低雑音)

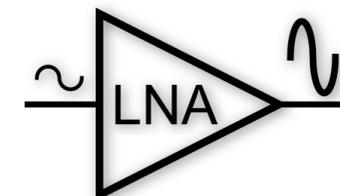
- ・ 電流加算型DAC

性能例1 BW:100kHz, 入力:8-bit, f_s :1MHz, ENOB:7.6-bit, DNL: ± 0.5 LSB

性能例2 入力:4-bit, f_s :300MHz, DNL: ± 0.5 LSB, バックグラウンド補正, $\Delta \Sigma$ ADC向け

- ・ Segmented R2R:Rラダー型DAC
- ・ Rストリング型DAC
- ・ R2R型DAC

低雑音アンプ(LNA)開発例



- ・ 容量帰還アンプ - 低周波(生体信号, 0.01Hz~1kHz), 超高抵抗MOS技術 (~100G Ω)

性能例 BW:0.3Hz~600Hz, 利得:46~66dB, 入力換算ノイズ:0.7uVrms以下

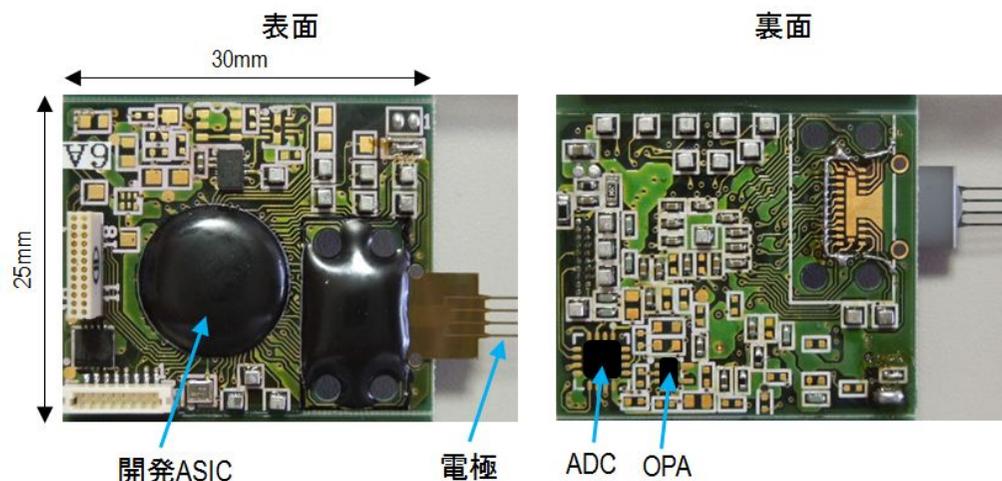
その他VCO、PLL、CVアンプ、イメージセンサ、アナログI/Oなど。

ここで紹介しました回路は弊社のアナログIPとして登録しております。

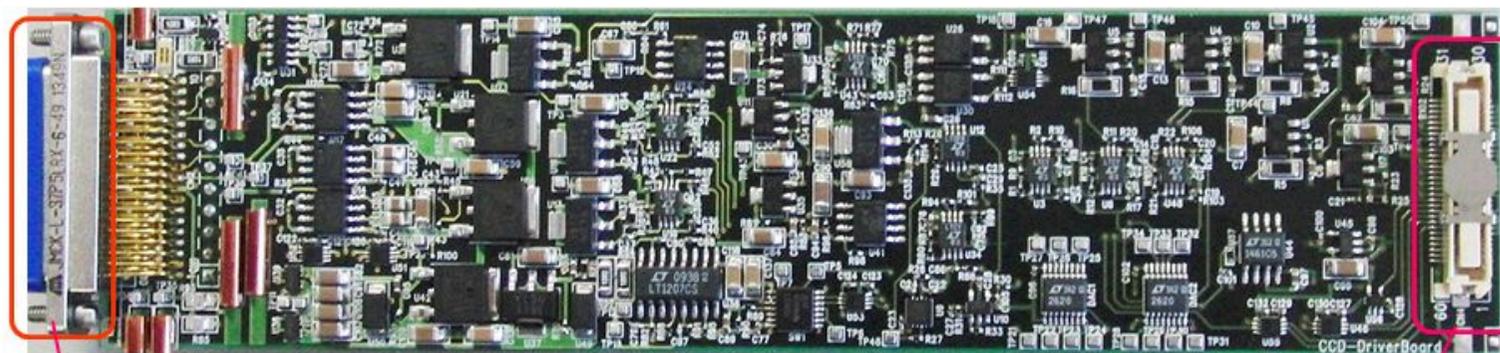
アナログIPは弊社ホームページよりダウンロードできます (パスワード制限あり)。

設計したICのアナログ性能を引き出すための評価ボードおよびモジュールの設計を行っております。

モジュール開発例



生体実験用のモジュールです。
生体の脳に電極を刺入して、神経信号の刺激、検出ができます。ボード上には弊社で開発したASICが搭載されております。



CCD接続入出力端子

40mm x 165mm x 4mm

表面実装コネクタ
制御・電源端子

基板雑音の解析、FPNAの紹介

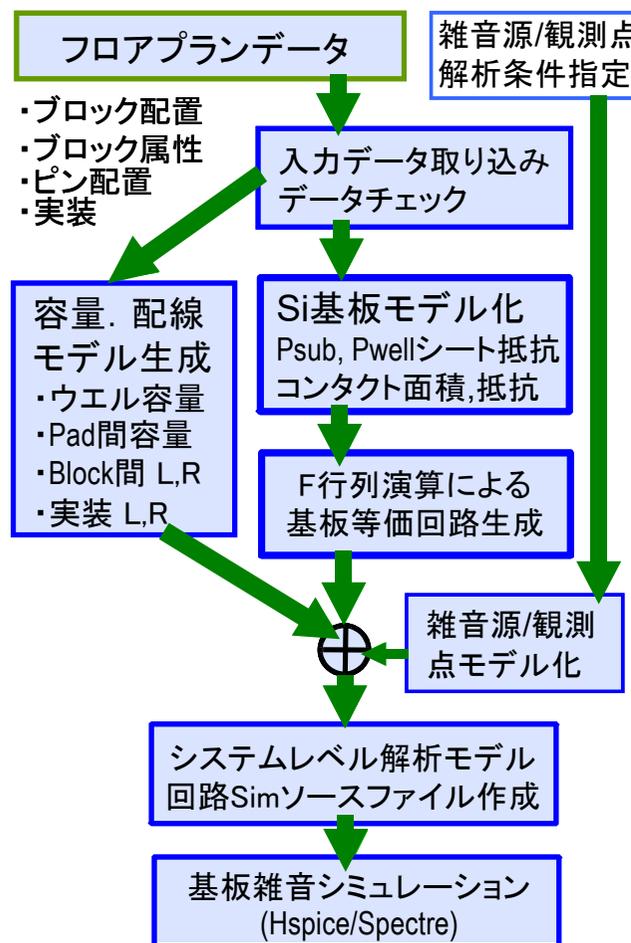
アナ・デジ混載LSIで課題となる、Si基板や電源を通したクロストーク雑音を解析、評価、抑圧する技術を提供します。

弊社では基板雑音解析の強力なツール (Floor Plan Noise Analysis: FPNA) を販売しております。

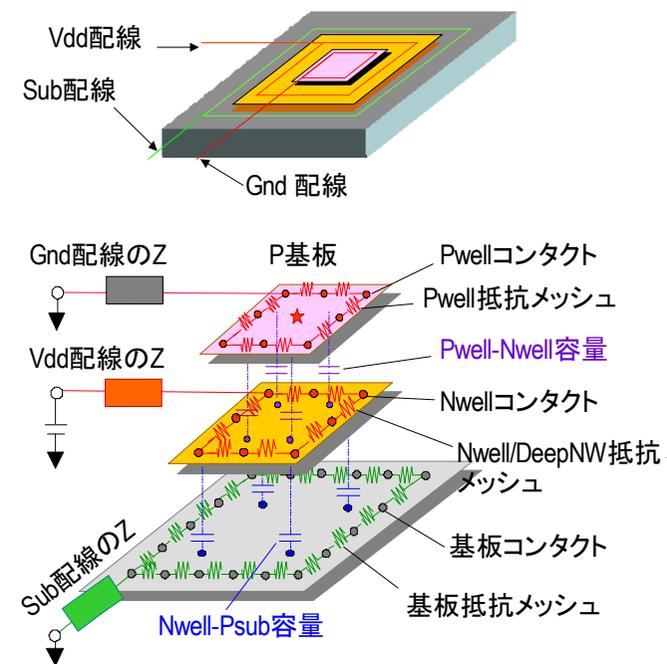
FPNAの特長

- 詳細なレイアウト設計の前に、フロアプランレベルでクロストーク雑音の影響を見積もることが可能。
- GDSデータは不要で、基板抵抗率やガードリング等の必要最小限の情報に基づいて短時間で計算が可能。
- 複数のフロアプラン候補に対して、本ツールを適用することにより、最適な案を短時間に選択決定することが可能。

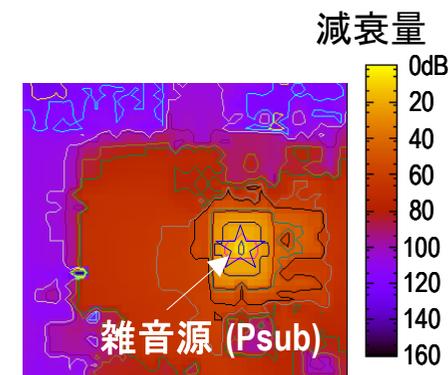
FPNA処理フロー



モデリングイメージ

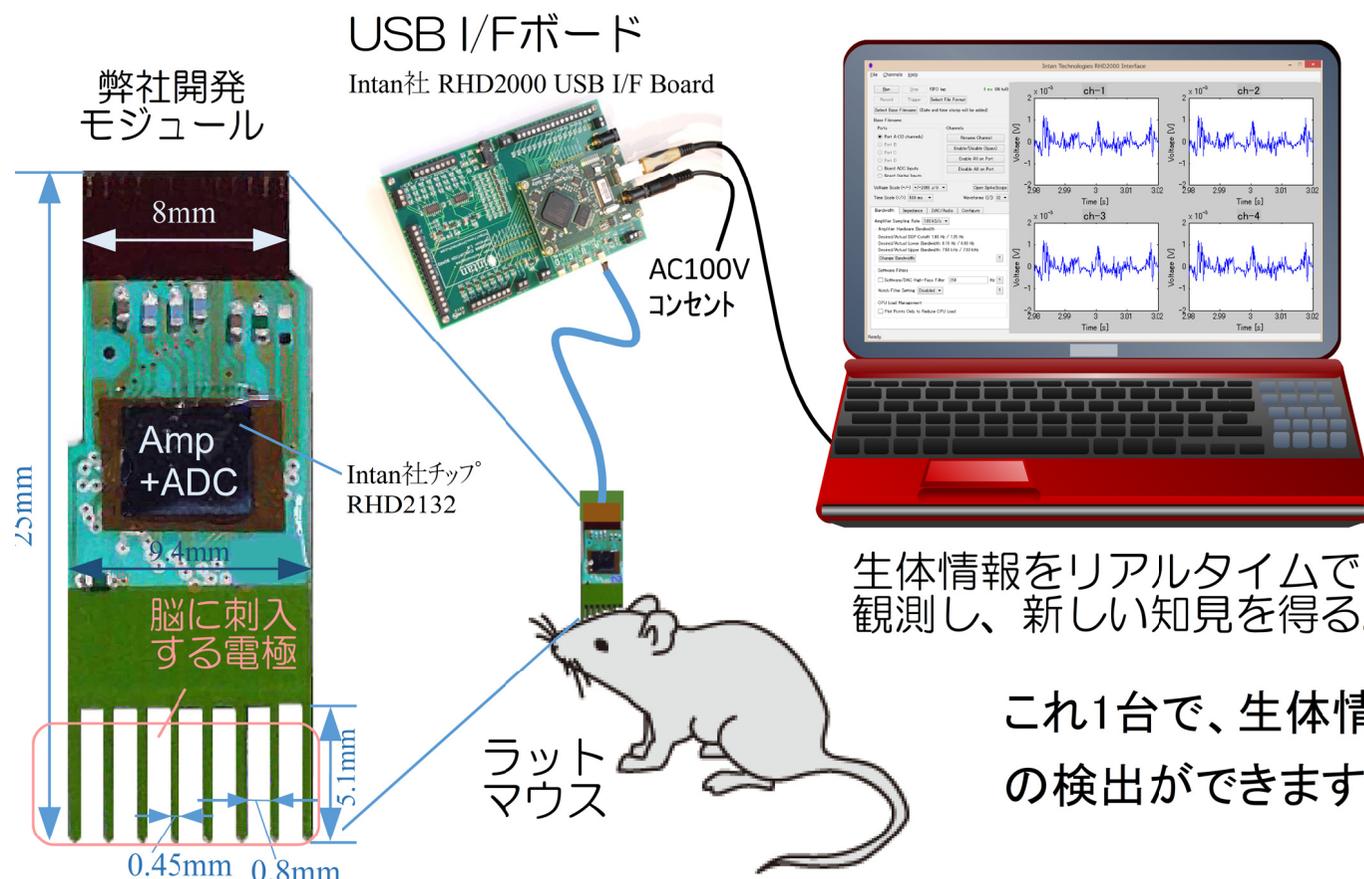


FPNA解析結果



生体情報の検出

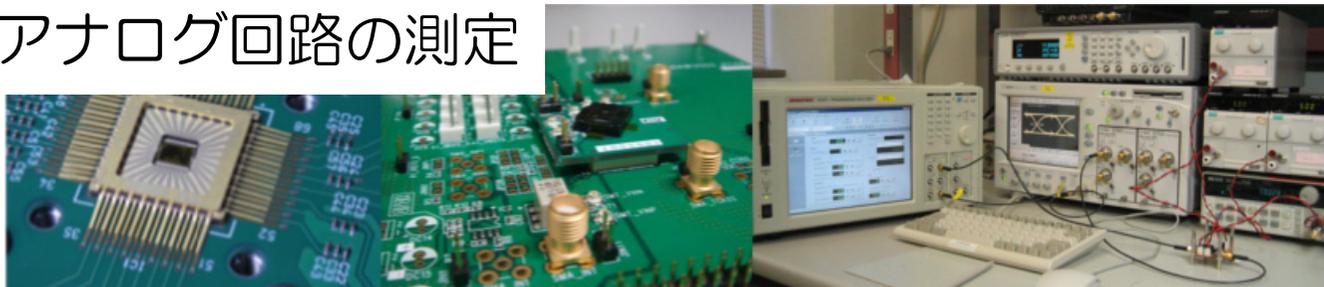
弊社は生体情報（脳波、神経活動）の検出を可能とするチップ、モジュールの開発に取り組んでいます。



- ・ セットアップはノートPC、市販のUSB I/Fボードと接続するだけ。
- ・ 皮質脳波 (ECoG)、神経活動を検出。
- ・ 防水性、生体適合性に優れた安価なフレキ材 (LCP) を使用。

その他の業務、お問い合わせ

○ アナログ回路の測定



- ADC/DAC/Amp/VCOなどの諸特性の評価
- 恒温槽による温特評価
- 自動測定系環境構築
- プローバによるオン・ウエハ測定

○ 人材育成



- OJT（対象：新入社員、アナログ設計入門者）
セミナーのような集合教育ではなく、OJTはマンツーマンで、研修内容・到達目標をカスタマイズできます。基礎からはじめ、実践力を習得できます。回路の設計資産も獲得できます。
- 講習会（対象：アナログ設計経験者）
実践的な内容に特化した講習会を計画中。
テーマ： $\Delta \Sigma$ 型ADC、逐次比較型ADC、基板雑音低減技術など。

○ アナログ回路設計コンサルティング、Feasibility Study

お問い合わせは、以下のWebフォーム、あるいはメールアドレスまで、お気軽にご連絡ください。ご相談のみでも喜んでお受けしております。

URL : <https://www.a-r-tec.jp/contact/>

e-mail : info@a-r-tec.jp