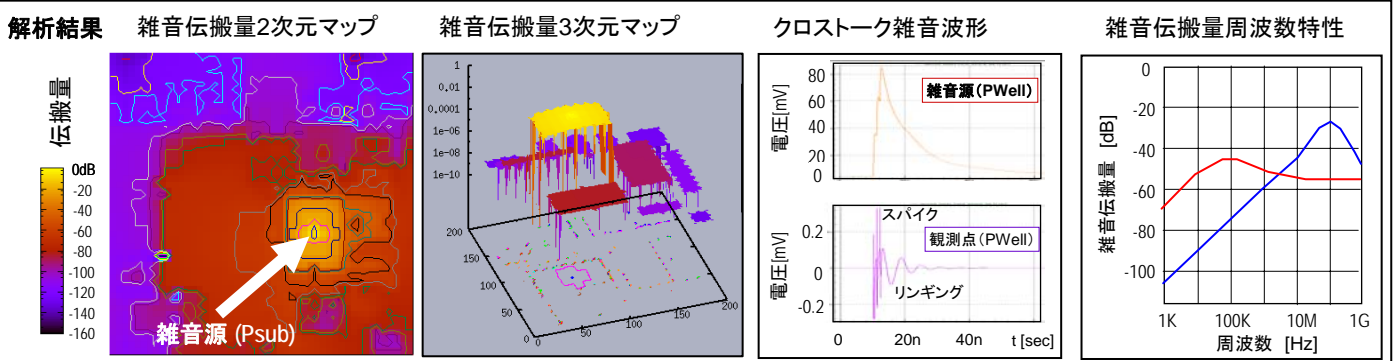
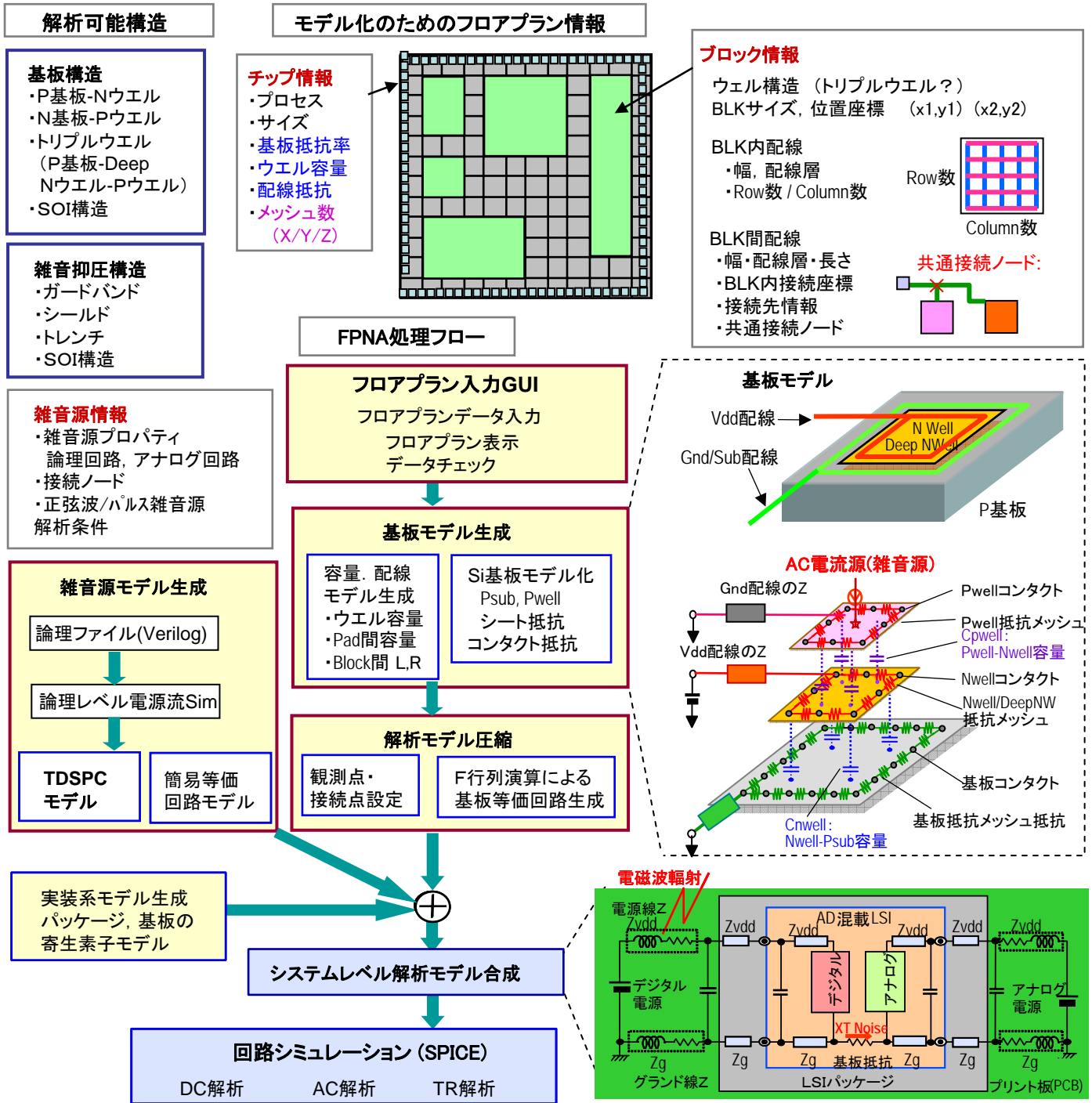


FPNA (Floor Plan Noise Analysis)

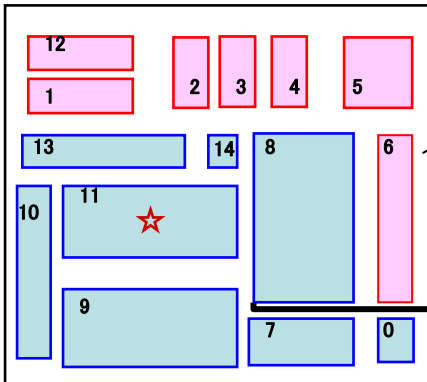
フロアプラン(含む実装系)でアナデジ混載LSIの基板・グランド雑音を解析できるツール

- 特徴
- ・ブロックの属性記述ノウハウを組み込んだフロアプラン記述
 - ・Fマトリクス演算でノード数を(1/100)削減する技術
 - ・論理回路の雑音源モデル: 容量充放電モデル(TSDPC)

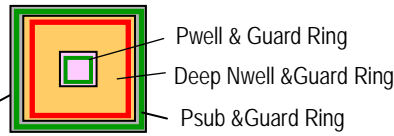


解析対象のフロアプラン

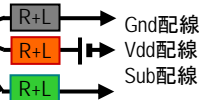
アナログ回路 デジタル回路 ☆ 雑音源位置



ブロックの構造:トリプルウェル



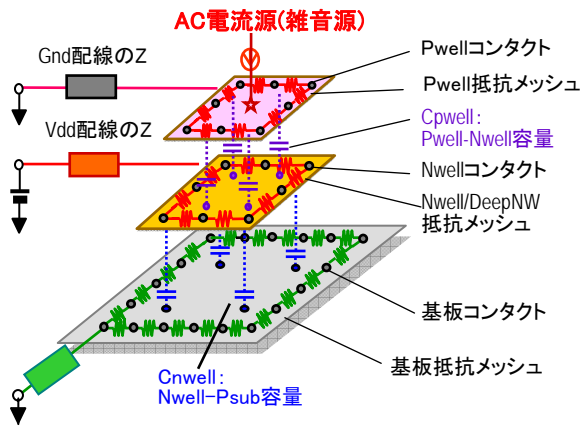
配線モデル: Chip+PKG+PCB
各ブロック毎に設定



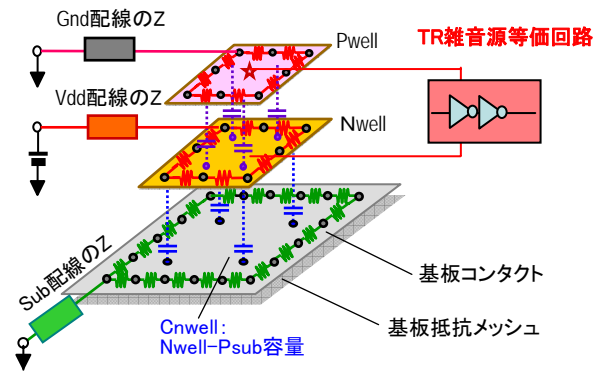
解析条件

- 基板のメッシュ数:
x:200, y:200, z(チップ厚さ方向):2
- 観測点: 20x20
- 実装モデル: Vdd, Gnd, Sub配線のR,L (QFP+PCB, CSP+PCBも可)

AC/DC解析

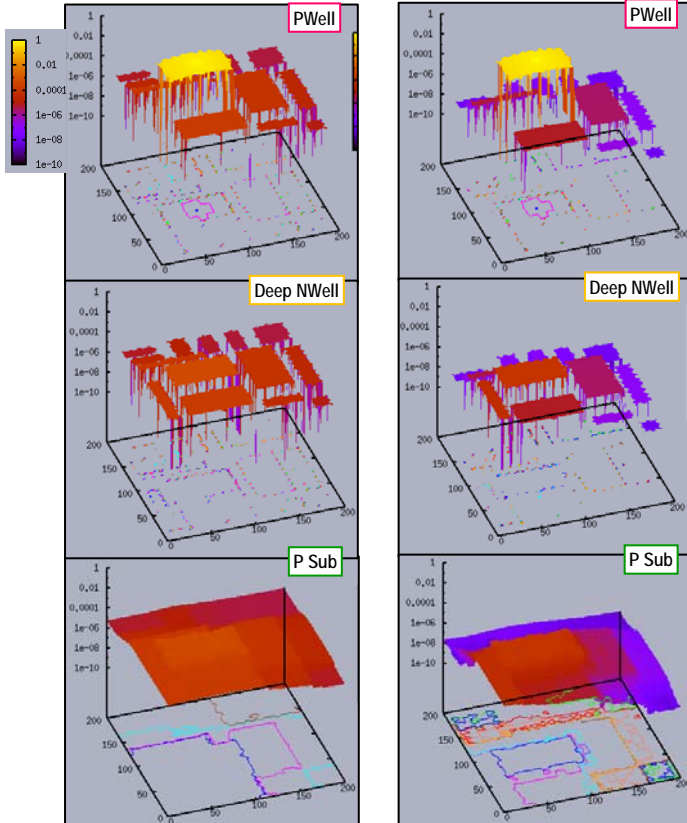


TR解析



解析結果 雑音伝搬量2次元マップ(AC解析) $f_{noise}=1\text{GHz}$

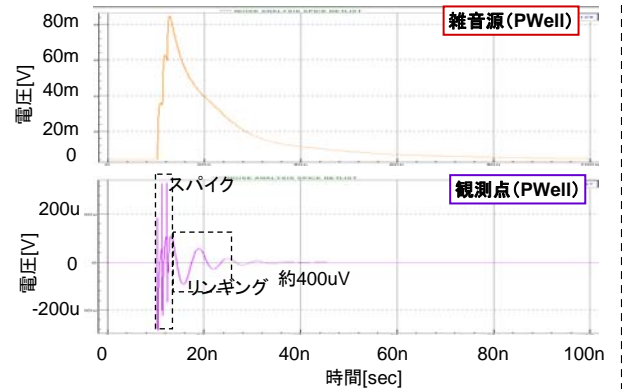
配線: $R=0.5\Omega, L=10\text{nH}$ → 配線: $R=0.05\Omega, L=1\text{nH}$



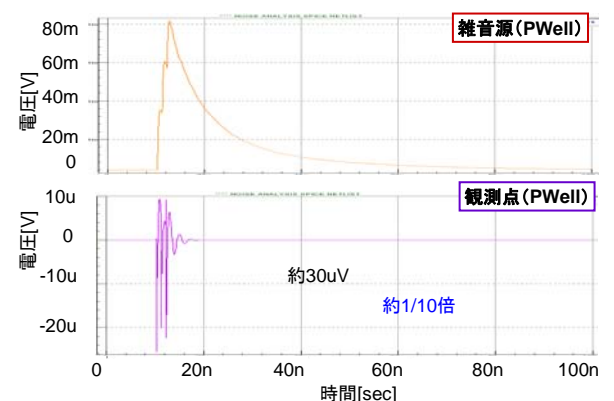
Vdd, Gnd, Sub配線のインピーダンスを1/10に下げると雑音伝搬量が1/10に抑圧される

解析結果 雑音波形(TR解析)

Vdd, Gnd, Sub配線: $R=0.5\Omega, L=10\text{nH}$



Vdd, Gnd, Sub配線: $R=0.05\Omega, L=1\text{nH}$



観測点(PWell)に、RによるスパイクおよびLによるリングングが発生。Vdd, Gnd, Sub配線のZを1/10にすると約1/10に低減する。