

プログラムの特徴

1. 受講者の経験と希望、および企業の要請に応じて、アナログ回路の基礎から、先端 CMOS デバイスによるアナログ回路・RF 回路の実設計、CAD 使用法、アナログ・RF 回路の測定までの一部あるいは全部を実践的に効率よく体得していただきます。
2. 大学の研究室に一定期間常駐して、大学の教員の実践的指導をマンツーマン方式で受けられます。
3. 通常のセミナーとは違って、規定のカリキュラムにとらわれることなく、回路機能と性能目標および育成形態およびスケジュール、等については、個別に相談のうえカスタマイズさせていただきます。
4. 要求する機能・仕様を持った回路開発と設計力を持った人材育成が同時にできます。

プログラムの内容

プログラムは以下の回路機能レベルと技術取得ステップの組み合わせにより構成します。

(1). 回路機能レベル

以下の4レベルに分類しています、

アナログ設計未経験者は C1～C3までを推奨します。C2については必要なものを複数選択、C3についてはどれかを選択していただきます。

C1. アナログ回路基礎技術

Device Model, Current Mirror,

Basic Amplifier (Source Common, SF, Gate Common, Differential,)

C2. アナログ基本回路設計技術

OPA, Comparator, VCO, LNA, Mixer, など

C3. アナログ機能 IP 設計技術

PLL, ADC, DAC, Switched Capacitor Filter, GmC Filter、センサーインタフェース回路など

C4. アナデジ混載チップ電源・基板雑音評価

(2). 技術取得ステップ

S1. 回路基礎知識(C1)	1 カ月
S2. 回路シミュレーション(C1, C2, C3)	2 カ月
S3. レイアウト設計(C2, C3)	2 カ月
S4. 設計検証(C2, C3)	1 カ月
S5. 試作チップ測定評価(C2, C3)	1 カ月

OJT の費用

一人当たりの標準金額 90 万円/月。

ただし、既存の回路ならびに設計技術に関するトレーニングです。

トレーニング内容に開発的要素を含む場合は追加費用が必要ですが、その金額は内容に依存しますので、個別のご相談になります。

費用には 共同研究員としての各大学に滞在する費用、CAD ツール使用料、測定器使用を含みます。

チップ試作を行う場合の費用は実費 150～300 万円/チップ、VDEC あるいは MOSIS を使用
(その他ファウンドリも可能)

受け入れ可能大学、人数、指導者予定

広島大学 4名 岩田教授、吉田助教

九工大 2名 森江教授

中央大 2名 杉本教授

神戸大 2名 永田准教授

その他の大学、教員についてもご希望がありましたら検討いたします。

受け入れ実績

広大 9名 CMOS光通信回路、AD変換回路、ニューラルチップ、RF回路

九工大 2名 画像処理回路

東工大 2名 高周波回路、アナログ回路

お問い合わせ先

(株)エイアールテック

E-mail: info@a-r-tec.jp

URL: <http://www.a-r-tec.jp>

電話: 本社 総務: 082-422-8378

(739-0005 東広島市西条大坪町 10-29-1205)

広島デザインセンター: 082-424-7389

(広島大学ベンチャービジネスラボラトリ内)

広島大学 岩田: 082-424-7856