

FPNA (Floor Plan Noise Analysis)

2011年4月 (株)エイアールテック

この度、A-R-Tecでは、フロアプラン設計レベルで、チップ規模でクロストーク雑音の伝搬を定量的に評価する解析ツール **FPNA (Floor Plan Noise Analysis)** を開発し、2010年4月にリリースいたしました。現在、アイソレーション構造の拡張、GUI 機能などの拡張版を開発中です。

A-R-Tec の会社概要

2001年に大学の研究成果である基板雑音解析技術とアナログ回路設計技術を基盤として、会社設立以来、アナデジ混載 LSI の電源基板雑音解析に約 10 年取り組んできました。大学との共同研究、企業での課題解決などを実施して、種々の技術を蓄積してまいりました。

EDS Fair 2010 および 2011 では、FPNA を用いたモデル作成と、雑音伝搬ミュレーションをデモンストレーションしました。又、より詳細な解析例の説明、解析に関するご相談をお受けいたしました。

フロアプラン雑音解析ツールの特徴を GDS ベース解析と比較

A-R-Tec で開発したフルアプラン雑音解析ツール(FPNA)の特徴を GDS ベース雑音解析ツールと比較した資料をリリースしました。

FPNA の入力データ、モデリング、解析フロー、処理時間、解析例をわかりやすく示しています。

FPNA の最大の特徴は、設計の初期段階でフロアプラン (実装方法、PCB を含めた) を評価・検討できることです。DGS ベースの解析に比べてモデル作成のための、データ解析が不要であり、基板のメッシュの少なくても済むので、1/1~1/3 の時間で解析ができます。従って、複数のフロアプランを比較検討でき、最適化ができます。さらに、このレベルでデジタルを含めたアーキテクチャの見直しも考えられます。

プロセスの微細化とロジックの高速大規模化、アナログ回路の高周波化、高精度化、低電力化に伴い、クロストーク雑音を抑圧しなければなりません。FPNA は等価回路化するモデリング能力が高いので **耐雑音対策** を検討、評価するのに使えます。

フロアプラン解析例をリリース

フロアプラン雑音解析(FPNA)の解析例として、AD 混載チップの雑音伝搬マップの周波数特性を示します。低周波では配線のインダクタンスの影響が少ないので、ディープ N ウェルやガードバンドの効果で伝搬が抑圧されますが、周波数が高くなるほど、容量性の結合が増加して、伝搬量が増加します。伝搬量の解析にはグラウンドやガードバンドの配線のモデリングを正確に行う必要があります。これらについても、チップ上、パッケージ、PCB の全階層を含めて、要点を押さえたモデリング機能を組み込んでいます。

FPNA の価格表

FPNA Ver 1 CMOS-LSI, トリプルウエル構造,

- ・ライセンス費用 500,000 円／月
4,000,000 円／年
(サポートおよびバグフィクス)
- ・雑音解析モデル作成・雑音解析の業務委託受託
1,500,000 円／人月

FPNA Ver 2 (GUI 版) 開発中 2012 リリース予定

- ・価格 未定

お問い合わせ先

東広島市鏡山 3-13-26 広島テクノプラザ 405

(株)エイアールテック 広島デザインセンター

電話: 082-421-4222

URL: <http://www.a-r-tec.jp>

e-mail: info@a-r-tec.jp